

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-139293

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/304
H01L 27/04
H01L 21/822
H01L 29/41

(21)Application number : 07-235352

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1995

(72)Inventor : KAWAKUBO TAKASHI
EGUCHI KAZUHIRO
KOMATSU SHUICHI
ABE KAZUHIDE

(30)Priority

Priority number : 06248444

Priority date : 17.09.1994

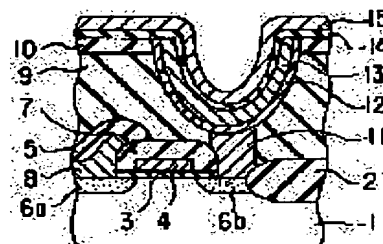
Priority country : JP

(54) SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To obtain a thin film capacitor having a large charge storage capacity and a stereoscopic structure by forming a charge storage capacitance element on the inner surface of a trench formed on the surface of a flattened insulating layer, and sequentially depositing a lower electrode, a high dielectric constant thin film and an upper electrode.

CONSTITUTION: Second conductivity type impurity diffused layers 6a, 6b are formed on a region isolated by an interelement isolation oxide film 2 of a first conductivity type semiconductor substrate 1, and a word line 4 is formed on the surface via a gate oxide film 3, thereby forming the transistor of a memory cell. A barrier metal 12, a lower electrode 13, a high dielectric constant thin film 14, and an upper electrode 15 are sequentially formed in the trench formed in a flattened insulating film 9 above the transistor, thereby forming a thin film capacitor. In this case, since the charge storage capacitance and leakage characteristics per unit area generally depend upon the film thickness in the film 14, an optimum film thickness is controlled, thereby obtaining a thin film capacitor having a large charge storage capacitance and a stereoscopic structure and small leakage current.



LEGAL STATUS

[Date of request for examination]

28.08.2002

[Date of sending the examiner's decision of

13.07.2004

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139293

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108 21/8242 21/304	3 4 1 L	7735-4M	H 0 1 L 27/ 10 27/ 04	6 2 1 C C
審査請求 未請求 請求項の数10 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平7-235352

(22) 出願日 平成7年(1995)9月13日

(31) 優先権主張番号 特願平6-248444

(32) 優先日 平6(1994)9月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 江口 和弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 小松 周一

神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内

(74) 代理人 弁理士 鈴江 武彦

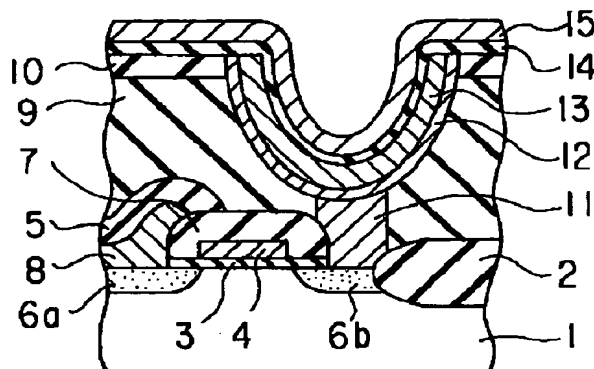
最終頁に続く

(54) 【発明の名称】 半導体基板

(57) 【要約】

【目的】 貴金属からなる下部電極をプラズマエッチングにより微細加工することなく、電荷蓄積容量の大きい立体構造の薄膜キャパシタを具備する半導体記憶装置を提供すること。

【構成】 半導体基板に形成されたスイッチング用トランジスタと、半導体基板を覆う絶縁層上に形成された電荷蓄積容量素子とを有するメモリセルを具備する半導体記憶装置において、電荷蓄積容量素子は、絶縁層表面に形成されトレンチの内面に、下部電極層、誘電体層および上部電極層を順次堆積してなることを特徴とする。



1

【特許請求の範囲】

【請求項 1】 半導体基板と、

この半導体基板上に形成された絶縁層と、
前記半導体基板上に形成されたスイッチング用トランジスタ及び前記絶縁層上に形成された電荷蓄積容量素子とを有するメモリセルとを具備する半導体記憶装置において、

前記絶縁層にはトレンチが形成されており、前記電荷蓄積容量素子は、前記トレンチの内面に下部電極層、誘電体層及び上部電極を順次堆積してなることを特徴とする半導体記憶装置。

【請求項 2】 前記下部電極層は、貴金属、貴金属酸化物、貴金属合金、及び導電性酸化物からなる群から選択された 1 種からなる請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記貴金属合金は、 $100\mu\Omega\text{cm}$ 以下の抵抗率と、80 以上のビッカース硬度を有する請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記トレンチの内面と下部電極層との間にはバリア層が形成されている請求項 1 に記載の半導体記憶装置。

【請求項 5】 半導体基板上にスイッチング用トランジスタを形成する工程と、
前記半導体基板上を絶縁層で覆い、平坦化する工程と、
前記絶縁層表面にトレンチを形成する工程と、
このトレンチ内面及び前記絶縁層上に電荷蓄積容量素子の下部電極となる第 1 の導電体層を形成する工程と、
研磨により前記トレンチ内面を除く絶縁層上に形成された第 1 の導電体層を除去する工程とを具備する半導体記憶装置の製造方法。

【請求項 6】 前記研磨は、機械的研磨又は化学的機械的研磨により行われる請求項 5 に記載の方法。

【請求項 7】 前記研磨は、化学的機械的研磨により行われ、研磨液として、ハロゲン単体、ハロゲン化塩、及び有機溶媒を含有する溶液が用いられる請求項 6 に記載の方法。

【請求項 8】 前記有機溶媒は、芳香族炭化水素、アルコール、エステル、ニトリル、ニトロ化合物、及びハロゲン化炭化水素からなる群から選ばれた、ハロゲンと反応しない化合物である請求項 7 に記載の方法。

【請求項 9】 前記導電体層の形成工程と前記研磨工程との間に、全面に平坦化用絶縁膜を形成し、前記トレンチ内を埋める工程、前記研磨工程の後に、前記トレンチ内の平坦化用絶縁膜を除去し、前記トレンチ内面の第 1 の導電体層を露出させる工程、前記露出した第 1 の導電体層上に誘電体層を形成する工程、及びこの誘電体層上に電荷蓄積容量素子の上部電極となる第 2 の導電体層を形成する工程を更に具備する請求項 5 に記載の方法。

【請求項 10】 前記第 1 の導電体層の形成工程の後に、前記第 1 の導電体層上に誘電体層を形成する工程、この誘電体層上に電荷蓄積容量素子の上部電極となる第

2

2 の導電体層を形成する工程、この第 2 の導電体層上に平坦化用導電膜を形成する工程、前記半導体基板上の前記第 1 の導電体層、誘電体層、第 2 の導電体層、及び平坦化用導電膜を研磨により除去する工程を更に具備する請求項 5 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置及びその製造方法に係り、特に、スイッチング用トランジスタの上方に立体的に形成された電荷蓄積容量素子とを有する半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】集積回路技術の発達によって、半導体記憶装置がますます小形化しており、半導体記憶装置に必須の回路素子であるキャパシタの小形化も、一段と重要になっている。かかるキャパシタの高集積化は、従来は、トランジスタ等の能動素子と同一の基板に溝を掘って蓄積容量膜を形成するトレンチキャパシタや、基板上に蓄積容量膜を積み上げるスタックキャパシタ等の立体構造により、実効的に蓄積容量の面積を大きくすることにより達成されてきた。

【0003】しかしながら、能動素子の小形化が急速に進む中で、薄膜キャパシタの小形化は遅れており、より一層の高集積化を阻む大きな要因となってきている。これは、従来用いられている誘電体薄膜材料が、 SiO_2 、 Si_3N_4 などのような誘電率がたかだか 10 以下の材料に限られているためであり、薄膜キャパシタを小形化するためには誘電率の大きな誘電体薄膜を開発することが必要である。

【0004】これに対し、ペロブスカイト型酸化物である SrTiO_3 、 BaTiO_3 、 PbTiO_3 、 PbZrO_3 などは、単一組成ならびに相互の固溶体組成で、100 以上 1000 にも及ぶ誘電率を有することが知られており、セラミックコンデンサに広く用いられている。これらの材料の薄膜化は、上述の薄膜キャパシタの小形化に極めて有効であり、かなり以前から研究が行われて比較的良好な特性が得られている。

【0005】しかしながら、上述のような SrTiO_3 などの高誘電率薄膜は、成膜の際に高温を必要とするために、いずれも白金、パラジウム、金などの貴金属、あるいはそれらの酸化物からなる下部電極の上に作成されている。このような貴金属材料からなる下部電極は、現在そのほとんどがシリコン基板を用いて作成されている記憶素子を始めとする各種の集積回路に適用するのは、以下の理由から困難である。

【0006】即ち、最も大きな理由として挙げられるのは、これら貴金属のハロゲン化物の蒸気圧が著しく小さいため、フォトリソグラフィーおよびプラズマエッチングによる微細加工技術が確立されていないことである。例えば、このような高誘電体薄膜をキャパシタ膜として

使用した公知の製造方法として、素子分離絶縁膜やビット線、ワード線上に形成した層間絶縁膜に沿って下部電極、高誘電率薄膜、上部電極を順に堆積することにより薄膜キャパシタを形成する方法（特開平4-80952号）、あるいは平坦化した絶縁膜上に薄膜キャパシタを形成する方法（特開平3-256358号）、さらには下部電極の上面を平坦化して薄膜キャパシタを形成する方法（特開平4-206569号）などが挙げられるが、いずれも下部電極のフォトリソグラフィーおよびプラズマエッチングによる微細加工を前提としており、下部電極に貴金属ないしはそれらの酸化物を使用した場合には、前述したように信頼性、歩留まりなども考慮すると集積回路の電極としての作成が困難である。

【0007】また、将来的にさらに高集積化を進めるためには、これらの高誘電率材料の薄膜キャパシタを使用したとしても、より大きな蓄積容量を得るために立体構造にする必要があるが、その際にはますます下部電極の微細加工技術が必要となり、この点がネックになる。

【0008】一方、従来、トレンチ・キャパシタ・セルとして図14に示すような構造のものが知られている。即ち、第1導電型半導体基板1には、第2導電型不純物拡散層6a、6bが形成されているとともに、その表面には、ゲート酸化膜3を介してワード線4が形成され、これらによりメモリセルのトランジスタ部が構成されている。このトランジスタ部に隣接する第1導電型半導体基板にトレンチが形成され、このトレンチ内に、シリコン下部電極43、熱酸化シリコン高誘電率薄膜44、上部電極15が順次形成され、トレンチキャパシタが構成されている。なお、このトレンチキャパシタは、第2導電型不純物拡散層6bに接続され、一方、ビット線8が第2導電型不純物拡散層6aに接続されている。参照符号7は層間絶縁膜、9は平坦化用絶縁膜をそれぞれ示す。

【0009】しかし、もしこの構造のキャパシタ膜として高誘電体膜を適用した場合、この構造では、トランジスタとキャパシタが接続しているため、高誘電率材料中に含まれるBa、SrやPbなど、更には下部電極材料であるPtなどの貴金属がSi不純物拡散層中に拡散して混入してしまうという致命的な問題がある。

【0010】また、従来、スタックド・キャパシタ・セルとして図15に示すようなものが知られている。この構造は、Si基板上に凸面状のキャパシタを形成し、セル間を底面で絶縁分離したものであるが、誘電体層として、従来のシリコンの酸・窒化膜に代わって、高誘電率薄膜をスパッタ法やCVD法などの堆積法で形成する場合には、凸面状への成膜では膜厚分布が大きくなり、大きな問題になる。

【0011】

【発明が解決しようとする課題】本発明の目的は、貴金属下部電極および高誘電率薄膜を使用した薄膜キャパシ

タ、特に蓄積電荷量の大きい立体構造の薄膜キャパシタの作成を可能にし、それによって小型化かつ高集積化された半導体記憶装置を提供することにある。

【0012】本発明の他の目的は、貴金属からなる下部電極の加工をフォトリソグラフィーやプラズマエッチングによらずに行うことを可能とする半導体記憶装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明によると、半導体基板と、この半導体基板上に形成された絶縁層と、前記半導体基板に形成されたスイッチング用トランジスタ及び前記絶縁層上に形成された電荷蓄積容量素子とを有するメモリセルとを具備する半導体記憶装置において、前記絶縁層にはトレンチが形成されており、前記電荷蓄積容量素子は、前記トレンチの内面に下部電極層、誘電体層及び上部電極を順次堆積してなることを特徴とする半導体記憶装置が提供される。

【0014】また、本発明によると、半導体基板にスイッチング用トランジスタを形成する工程と、前記半導体基板上を絶縁層で覆い、平坦化する工程と、前記絶縁層表面にトレンチを形成する工程と、このトレンチ内面及び前記絶縁層上に電荷蓄積容量素子の下部電極となる第1の導電体層を形成する工程と、研磨により前記トレンチ内面を除く絶縁層上に形成された第1の導電体層を除去する工程とを具備する半導体記憶装置の製造方法が提供される。

【0015】本発明の半導体記憶装置は、半導体基板に形成されたスイッチング用トランジスタと、前記半導体基板を覆う絶縁層上に形成された電荷蓄積容量素子とを有するメモリセルを具備する。電荷蓄積容量素子は、絶縁層表面に形成されたトレンチの内面に、少なくとも下部電極層及び誘電体層を順次堆積することにより構成される。

【0016】かかる本発明の半導体記憶装置において、下部電極を構成する材料としては、白金、金、パラジウム、ロジウム、イリジウム、ルテニウム、オスミウム、レニウム等の貴金属、又はこれらの各種合金或いはこれらの酸化物を用いることが出来る。また、貴金属以外の金属の導電性酸化物を用いることも可能である。

【0017】貴金属の合金としては、例えば、Pt-W、Pt-Sn、Pt-Ni、Pt-Cu、Pt-Ru、Pt-Ti、Pt-Si等を挙げることが出来る。また、導電性酸化物としては、主としてペロブスカイト構造の(Ba, Sr, Ca)RuO₃、(Ba, Sr, Ca)MoO₃、(Sr, Ca, RE)TiO₃、RENiO₃（REはY又は希土類元素）等を用いることが出来る。

【0018】また、誘電体層としては、ペロブスカイトないしは層状ペロブスカイト構造の物質からなる高誘電率誘電体ないしは強誘電体が好ましい。トレンチの深さ

は、特に限定されないが、トレンチの幅の3倍を越えると、通常のスパッタリング法やCVD法による成膜が困難となる。通常はトレンチの幅と等しい深さ、例えば300~3000Åである。

【0019】以上のように、本発明の半導体記憶装置では、電荷蓄積容量素子を、スイッチング用トランジスタの上方に形成されたトレンチの内面に形成している。この場合、従来の薄膜キャパシタのように凸面の上部と側面に誘電体層を形成するよりも、本発明のように、凹面の側面と底面に誘電体層を形成した方が均一な厚さになり、高い誘電率と小さなリーク電流が要求される電荷蓄積容量素子には非常に好適である。

【0020】即ち、発明者らの実験によると、幅0.3μm、深さ1μmのトレンチを使用して、マグネトロンスパッタ法およびMOCVD法により(Ba, Sr)TiO₃の組成の高誘電率膜を50nm成膜して段差被覆性を調べた結果、上面(平坦面)の堆積厚さを1として、トレンチ側面および底面の厚さを順に示すと、スパッタ法では1:0.5:0.4程度、MOCVD法では1:0.6:0.5程度になり、上面に比較してトレンチ内部の側面や底面の厚さが薄くなることが見出された。従って、絶縁膜の上面の下部電極を研磨により除去し、トレンチ内部の側面や底面にのみ残すことにより、均一でかつ薄い誘電体膜を得ることが可能である。

【0021】また、スイッチング用トランジスタと電荷蓄積容量素子が絶縁体層により上下に分離されているので、下部電極の下にバリアメタルなどを適宜設けることによって、電荷蓄積容量素子の構成材料が拡散層に拡散することを防ぐことができる。

【0022】次に、本発明の半導体記憶装置の製造方法は、スイッチング用トランジスタを形成した半導体基板上を絶縁層で覆い、平坦化する工程と、前記絶縁層表面にトレンチ部を形成する工程と、このトレンチ部内面及び前記絶縁層上に電荷蓄積容量素子の下部電極となる導電体層を形成する工程と、研磨により前記絶縁層上に形成された導電体層を除去する工程とを含むことを特徴とする。

【0023】かかる本発明の方法では、下部電極の形成の前に、平坦化された絶縁層表面に、研磨に対する研磨停止層を設けることが好ましい。また、研磨方法は、機械的研磨でも、化学的機械的研磨でもよい。

【0024】研磨方法として化学的機械的研磨を採用する場合、研磨液として、ハロゲン単体、ハロゲン化塩、及び有機溶媒を含有する研磨液を用いることが好ましい。このような研磨液によると、導電体層の下地である酸化膜やバリア金属膜を溶解せずに、導電体層を構成する貴金属のみを溶解することが可能であるため、製造プロセスが簡単となり、また研磨が短時間ですみ、製造の低コスト化が可能となる。

【0025】研磨液に含有される有機溶媒としては、特

にハロゲンと反応しないものが好ましい。そのようなものとして、芳香族炭化水素、アルコール、エステル、ニトリル、ニトロ化合物、及びハロゲン化炭化水素を挙げることが出来る。特に好ましい有機溶媒は、アセトニトリル、キシレン、トルエン、及びベンゼンである。

【0026】研磨液に含有されるハロゲン化塩としては、界面活性剤的な性質を有するもの、例えば、よう化セチルピリジニウム等を好ましく用いることが出来る。陽イオンがアルカリ金属イオン、アルカリ土類金属イオン、第4級アンモニウムイオン等であるハロゲン化塩を用いることも可能である。

【0027】研磨液に含有されるハロゲン化塩としては、電気陰性度が高いものが好ましく、また有機溶媒と反応しないものが好ましい。このように、本発明の方法では、研磨により下部電極の一部を除去して個々の電荷蓄積容量の間の電氣的絶縁分離を行っている。そのため、高誘電率薄膜の下部電極として好適な白金などの貴金属をフォトリソグラフィーおよびプラズマエッチングにより微細加工する必要がない。即ち、従来の方法によれば、高誘電率薄膜を使用した高集積化薄膜キャパシタを作成するためには、貴金属からなる下地電極をフォトリソグラフィーおよびプラズマエッチングにより微細加工する必要があり、かかる微細加工は極めて困難であったが、本発明の方法によると、フォトリソグラフィーおよびプラズマエッチングによる微細加工は通常の技術で容易に行うことが可能な酸化シリコン等に対して行うだけで済み、さらに電荷蓄積容量の大きい積層した立体構造の薄膜キャパシタを形成することができる。このような小型で大きな容量を持つ薄膜キャパシタを電荷蓄積容量素子として用いれば、高集積化した半導体記憶素子を作成することができる。

【0028】なお、導電体層として、白金、金、パラジウム、ロジウム等の軟らかい貴金属を用いた場合、これら貴金属に機械的研磨や、化学的機械的研磨を施すと、貴金属がいわゆる“だれ”を生じ、表面の平坦性が得られないという問題が生ずる場合がある。また、かかる“だれ”が甚だしいと、上下の電極が短絡してしまうという問題が生ずることがある。

【0029】このような問題は、導電体層として、100μΩcm以下の抵抗率と、80以上のビッカース硬度を有する貴金属合金又は導電性酸化物を用いることにより解消される。即ち、貴金属に適当量の添加元素を加えることにより、導電性を確保するとともに適度な硬さとした貴金属合金を下部電極に用いることにより、研磨の際の“だれ”の発生を防止するものである。

【0030】純粋な貴金属、例えば白金は、抵抗率は10μΩcm以下と低い、ビッカース硬さが40以下と柔らかい金属である。一般に純粋な金属の中に他の金属を添加すると、電気抵抗は増加し、硬さも増加する。電極材料としては、電気抵抗が増加することは好ましいこ

とではないが、硬さが増加することは、機械的研磨又は機械的・化学的研磨処理が容易になるという点からは有利である。従って、薄膜キャパシタの下部電極として白金等の貴金属を研磨が容易になるように改良するためには、電気抵抗の低下を出来るだけ抑えるとともに、硬さを増加させるのに適切な元素を添加する必要がある。

【0031】このような要求を満たす元素としては、W、Ni、Cu、Ru等の固溶型元素、Sn、Ti、Si等の析出型元素が挙げられる。以下、固溶型元素であるWをPtに添加した例について説明する。PtとWを合金化した場合、バルクの合金では、2wt%のWが添加されたPt-W合金の抵抗率は約 $23\mu\Omega\text{cm}$ 、ビッカース硬さは約100、4wt%のWが添加されたPt-W合金の抵抗率は約 $37\mu\Omega\text{cm}$ 、ビッカース硬さは約135、6wt%のWが添加されたPt-W合金の抵抗率は約 $55\mu\Omega\text{cm}$ 、ビッカース硬さは約145である。

【0032】薄膜キャパシタの電極として必要な抵抗率は $100\mu\Omega\text{cm}$ 以下であり、ビッカース硬さは100以上である。従って、2~6wt%のWが添加されたPt-W合金は、薄膜キャパシタの電極として利用可能である。

【0033】次に、析出型元素であるSnをPtに添加した例について説明する。PtとSnを合金化した場合、バルクの合金では、7wt%までのSnの添加でSnはPtに固溶する。しかし、Snの添加量が7wt%を越えると、Pt₃Snが析出し、電気抵抗が低下し、硬さが向上する。即ち、Pt₃Snの析出により電気抵抗はPtに近い値となり、硬さはビッカース硬さ100以上となる。従って、Snの添加量が7wt%を越えると、特に10~15wt%では、Pt-Sn合金は、薄膜キャパシタの電極として利用可能である。同様に、他の析出型元素の添加によっても、電気抵抗の減少、硬さの向上が可能であり、薄膜キャパシタの下部電極として利用可能である。

【0034】

【発明の形態】以下、図面を参照して、本発明の種々の実施例について説明する。

実施例1

図1は、本発明の第1の実施例の半導体記憶装置の断面図である。図1において、第1導電型半導体基板1の、素子間分離酸化膜2により分離された領域には、第2導電型不純物拡散層6a、6bが形成されているとともに、その表面には、ゲート酸化膜3を介してワード線4が形成され、これらによりメモリセルのトランジスタ部が構成されている。

【0035】このトランジスタ部の上方には、平坦化絶縁膜9に形成されたトレンチ内に、バリアメタル12、下部電極13、高誘電率薄膜14、上部電極15が順次形成され、薄膜キャパシタが構成されている。なお、こ

の薄膜キャパシタは、コンタクトプラグを介して第2導電型不純物拡散層6bに接続され、一方、ビット線8が第2導電型不純物拡散層6aに接続されている。参照符号5、7は層間絶縁膜、10は研磨停止層をそれぞれ示す。

【0036】次に、図1に示す半導体記憶装置の製造プロセスについて、図2及び図3を参照して説明する。まず、図2(a)に示すように、第1導電型半導体基板1にメモリセルのトランジスタ部およびビット線8を形成した後、平坦化用の絶縁膜9および研磨停止層10を形成した。絶縁膜9を平坦化するためにエッチバック法を用いても良いし、また化学的機械的研磨法などを用いても良い。研磨停止層10としては、酸化アルミニウム等の絶縁膜を用い、また平坦化絶縁膜9としては、ホウケイ酸ガラス(BSG)を用いた。

【0037】次に、図2(b)に示すように、薄膜キャパシタを内壁に形成するためのトレンチ部を形成するために、まず公知のフォトリソグラフィおよびプラズマエッチングにより平坦化用絶縁膜9にコンタクト孔を形成した後、LPCVD法によりコンタクト孔をポリシリコンで埋め、コンタクトプラグ11を形成し、埋め込まれたポリシリコンにリンを拡散して $10\sim100\Omega/\square$ と低抵抗化した。その後、再び公知のフォトリソグラフィおよびプラズマエッチングにより、平坦化用絶縁膜9に薄膜キャパシタ形成用トレンチ部を形成した。

【0038】次いで、図3(a)に示すように、1種以上のバリアメタル12、下部電極13、平坦化用絶縁膜16を順次形成した。バリアメタル12としては、チタン、タンタルあるいはそれらの窒化物などを使用することができるが、ここではチタンの窒化物を用いた。下部電極13としては、イリジウムを用いた。また、平坦化用絶縁膜16としては、ホウケイ酸ガラス(BSG)を用いた。なお、平坦化のためには、絶縁膜に限らず、平坦化のためのエッチングの容易な半導体膜、導電体膜、あるいはレジストなども使用することができる。

【0039】その後、図3(b)に示すように、機械的研磨ないしは化学的機械的研磨により研磨停止層10上に形成されているバリアメタル12、下部電極13および平坦化用酸化膜16を除去した。バリアメタル12や下部電極13の厚さは、それぞれ 100nm 以下と非常に薄いので、通常はコロイダルシリカなどを研砥とした機械的研磨で十分であるが、よりダメージの少ない化学的機械的研磨を使用することも可能である。

【0040】次いで、平坦化用酸化膜6をプラズマエッチングにより下部電極の表面が露出するまで選択的にエッチングした後、 $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ からなる高誘電率薄膜14および白金からなる上部電極15を形成し、図3(c)に示す半導体記憶装置を得た。高誘電率薄膜14の形成には、公知のマグネトロンスパッタ法やMOCVD法などを使用することができる。本発明のよ

うに、凹面状のトレンチ内部に薄膜形成を行う場合には、トレンチの開孔幅と深さの比であるアスペクト比が3程度以下であれば、通常のスパッタ法やCVD法により比較的均一な厚さの薄膜を堆積することができる。

【0041】高誘電率薄膜では、単位面積当たりの電荷蓄積容量やリーク特性が一般に膜厚に依存するため、最適な膜厚に均一に制御することにより、リーク電流が小さく、電荷蓄積容量の大きな薄膜キャパシタを作成することができるという利点がある。これに対して、蓄積容量を増大する手段として凸面状の立体キャパシタを、通常のスパッタやCVD法により形成しようとする場合は、薄膜の凸部以外に形成された部分の厚さが凸部側面に形成された厚さに対してかなり厚くなる現象が避けられず、性能の優れた薄膜キャパシタを作成することが困難である。なお、上部電極15の上には図示しない層間絶縁膜を形成し、Alなどが配線されるが、ここでは省略してある。

【0042】実施例2

下部電極13としてPt-4%Wを用い、研磨方法として化学的機械的研磨を用いたことを除いて、実施例1と同様にして、図2及び図3に示す手順に従って、半導体記憶装置を製造した。

【0043】図2(a)及び図2(b)に示す、トレンチ部を形成するまでの工程は第1の実施例と同様である。次いで、図3(a)に示すように、バリアメタル12を堆積した後、DCスパッタリング法によりPt-4%Wを堆積した。得られたPt-4%W膜13の抵抗率は、約 $38\mu\Omega\text{cm}$ 、ピッカース硬さは約135であった。次いで、平坦化用絶縁膜16を形成した。

【0044】次に、図3(b)に示すように、化学的機械的研磨により研磨停止層10上に形成されているバリアメタル12、下部電極13および平坦化用酸化膜16を除去するが、その際、下部電極13には「だれ」は見られず、良好に研磨されていた。なお、研磨液としては、臭素、臭化セチルピリジニウム、ベンゼンを含む溶液を、30℃に加熱して用いた。また、研磨後は、アルコールにより洗浄した。

【0045】その後、実施例1と同様の手順で得られた図3(c)に示す半導体記憶装置は、実施例1と同様の利点を有していた。

実施例3

図4及び図5は、本発明の第3の実施例に係る半導体記憶装置の製造工程を示す断面図である。図4(a)及び図4(b)に示す、トレンチ部を形成するまでの工程は、第1の実施例と同様である。次いで、図5(a)に示すように、TiNからなるバリアメタル12、Ptからなる下部電極13、 $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ からなる高誘電率薄膜14、Ptからなる上部電極15および平坦化用導電膜16を順次形成した。平坦化用導電膜16としては、ポリシリコンなどの半導体膜にドーピングした

ものを用いた。

【0046】その後、図5(b)に示すように、機械的研磨ないしは化学的機械的研磨により研磨停止層に形成されているバリアメタル、下部電極、高誘電率薄膜、上部電極および平坦化用導電膜を除去し、再び平坦化した。その後、図5(c)に示すように、形成したキャパシタ端部を層間絶縁膜18で覆うことにより、トレンチ内部に薄膜キャパシタを作成することが出来た。

【0047】実施例4

10 下部電極13としてPt-4%Ruを用いたことを除いて、実施例3と同様にして、図4及び図5に示す手順に従って、半導体記憶装置を製造した。

【0048】即ち、図5(a)において、バリアメタル12を堆積した後、DCスパッタリング法によりPt-4%Ruを堆積した。得られたPt-4%Ru膜13の抵抗率は、約 $28\mu\Omega\text{cm}$ 、ピッカース硬さは約115であった。

【0049】実施例5

20 図6は、本発明の第5の実施例に係る半導体記憶装置の断面図である。本実施例では、第1～第4の実施例で作成した比較的深いトレンチの代わりにごく浅いトレンチを形成した後、浅いトレンチ内および研磨停止層10上にバリアメタル12および下部電極13を形成し、機械的研磨ないしは化学的機械的研磨により研磨停止層10上に形成されているバリアメタル12と下部電極13を除去し、平坦な下部電極表面を得ることができた。

【0050】その後、高誘電率薄膜14および上部電極15を形成することにより、薄膜キャパシタを作成することができた。この薄膜キャパシタは、平面構造であるため、第1および第2の実施例と比較して電荷蓄積容量はやや少ないが、研磨された平坦な下部電極表面を持つため、電界集中による静電破壊の少ない、より信頼性の優れた薄膜キャパシタを得ることができた。

【0051】実施例6

40 図7は、本発明の第6の実施例に係る半導体記憶装置の断面図である。図7において、第1導電型半導体基板1の、素子間分離酸化膜2により分離された領域には、第2導電型不純物拡散層6a、6b、6cが形成されるとともに、その表面には、ゲート酸化膜3を介してワード線4が形成され、これらによりメモリセルのトランジスタ部が構成されている。

【0052】このトランジスタ部の上方には、平坦化絶縁膜9に形成された浅いトレンチ内に、バリアメタル12、下部電極13、高誘電率薄膜14、上部電極15が順次形成され、第1の薄膜キャパシタが構成されている。なお、この第1の薄膜キャパシタは、コンタクトプラグ11を介して第2導電型不純物拡散層6cに接続され、一方、ビット線8が第2導電型不純物拡散層6bに接続されている。

50 【0053】この第1の薄膜キャパシタの上方に、平坦

11

化絶縁膜19に形成された浅いトレンチ内に、バリアメタル22、下部電極23、高誘電率薄膜24、上部電極25が順次形成され、第2の薄膜キャパシタが構成されている。なお、この第2の薄膜キャパシタは、コンタクトプラグ21を介して第2導電型不純物拡散層6aに接続されている。なお、参照符号5、7は層間絶縁膜、10、20は研磨停止層、28は上部電極接続用ビアホールをそれぞれ示す。

【0054】次に、図7に示す半導体記憶装置の製造プロセスについて、図8及び図9を参照して説明する。まず、図8(a)に示すように、第1導電型半導体基板1にメモリセルのトランジスタ部およびビット線8を形成した後、平坦化用の絶縁膜9および研磨停止層10を形成し、さらに隣接した2個のメモリセルの内の1つのメモリセルとコンタクトホールを介してコンタクトプラグ11を形成する。次に、図8(b)に示すように、公知のフォトリソグラフィおよびプラズマエッチングにより、薄膜キャパシタを内部に形成するための浅いトレンチ部を形成した後、トレンチ内部および平坦部表面に、1種以上のバリアメタル12、下部電極13、高誘電率

薄膜14および上部電極15を順次形成する。

【0055】その後、図8(c)に示すように、CMPないしは機械的研磨により研磨停止層上に形成されているバリアメタル12、下部電極13、高誘電率薄膜14および上部電極15を除去することにより、第1の電荷蓄積容量素子を形成する。電極や高誘電率薄膜の厚さはそれぞれ100nm以下と非常に薄いため、通常はコロイダルシリカなどを研砥とした機械的研磨でも十分であるが、よりダメージの少ないCMPも使用することができる。

【0056】次いで、図9(a)に示すように、再び平坦化用絶縁膜19および研磨停止層20を形成し、すでに形成した第1の電荷蓄積容量素子の上部電極15からのビアホール28および隣接する第2のメモリセルとコンタクトホールを介して第2のコンタクトプラグ21を形成する。次に、図9(b)に示すように、第2のコンタクトプラグ21上にフォトリソグラフィおよびプラズマエッチングにより浅いトレンチ状凹部を形成し、トレンチ内面および研磨停止層20の上にバリアメタル22、下部電極23、高誘電率薄膜24および上部電極25を順次成膜する。

【0057】その後、図9(c)に示すように、CMPないしは機械的研磨により研磨停止層20上に形成されているバリアメタル22、下部電極23、キャパシタ24および上部電極25を除去することにより、第1の電荷蓄積容量素子に対し立体的に分離された第2の電荷蓄積容量素子を形成する。

【0058】以上説明した第6実施例に係る半導体記憶装置の模式平面図を図10に示す。図10において、参照符号31はスイッチング用トランジスタのチャネル領

12

域や不純物拡散層が作られるアクティブ領域、32はビット線8と基板1の拡散層とを接触させるためのコンタクト孔、33は蓄積容量下部電極と拡散層を接続するためのメモリ部コンタクト孔、34はメモリ部コンタクト孔33の上に一部積層して形成された電荷蓄積容量である。なお、電荷蓄積容量については見易くするために隣接する一対のみを示した。

【0059】実施例7

本実施例は、図11に示すような平面レイアウトを有する半導体記憶装置に係るものである。この平面レイアウトでは、アクティブ領域31がワード線4、ビット線8に対して互い違いに斜めに配置されており、第4の実施例に比較してより高密度のワード線、ビット線の配置が可能であるが、このようなレイアウトに対しても、本発明によれば隣接するメモリセルの電荷蓄積容量を積層して配置することにより、2倍以上の容量面積にすることが可能になる。この平面レイアウトに対する断面図としては、同一のアクティブ領域内にある二つのメモリコンタクト孔32の中心を結ぶ線で切断すれば、図7と同様になる。

【0060】実施例8

本実施例は、図12に示すような平面レイアウトを有する半導体記憶装置に係るものである。この平面レイアウトでは、アクティブ領域31がワード線4、ビット線8に対して斜めに、1/4ピッチづつずらして配置されており、やはり第4の実施例に比較してより高密度のワード線、ビット線の配置が可能である。本レイアウトに対しても、同一のアクティブ領域内にある二つのメモリコンタクト孔からの電荷蓄積容量を積層して配置することにより、ほぼ2倍以上の容量面積にすることが可能になる。

【0061】実施例9

本実施例は、図13に示すような平面レイアウトを有する半導体記憶装置に係るものであり、電荷蓄積容量以外の平面配置は実施例6に示したものと同一である。本実施例では、隣接した4個のメモリコンタクト孔からの電荷蓄積容量を積層して配置することにより、数倍の容量面積にすることが可能になる。

【0062】

【発明の効果】以上説明したように、本発明によれば、プラズマエッチング等による微細加工が困難な貴金属等からなる下部電極と、高誘電率薄膜とからなる薄膜キャパシタを電荷蓄積容量素子とする、高集積化した半導体記憶装置を実現することが可能であり、本発明の工業的価値は極めて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るメモリセルを示す断面図。

【図2】図1に示すメモリセルの製造工程を示す断面図。

50

【図 3】図 1 に示すメモリセルの製造工程を示す断面図。

【図 4】本発明の第 3 の実施例に係るメモリセルの製造工程を示す断面図。

【図 5】本発明の第 3 の実施例に係るメモリセルの製造工程を示す断面図。

【図 6】本発明の第 5 の実施例に係るメモリセルを示す断面図。

【図 7】本発明の第 6 の実施例に係るメモリセルを示す断面図。

【図 8】本発明の第 6 の実施例に係るメモリセルの製造工程を示す断面図。

【図 9】本発明の第 6 の実施例に係るメモリセルの製造工程を示す断面図。

【図 10】本発明の第 6 の実施例に係るメモリセルを示す断面図。

【図 11】本発明の第 7 の実施例に係るメモリセルを示す断面図。

す平面図。

【図 12】本発明の第 8 の実施例に係るメモリセルを示す平面図。

【図 13】本発明の第 9 の実施例に係るメモリセルを示す平面図。

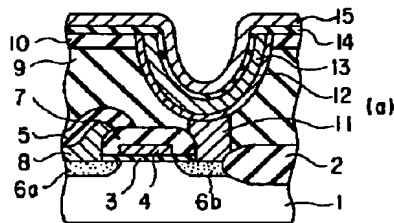
【図 14】従来のメモリセルを示す断面図。

【図 15】従来のメモリセルの他の例を示す断面図。

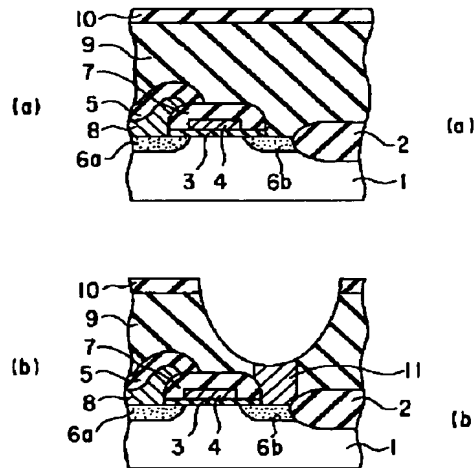
【符号の説明】

1…第 1 導電型半導体基板、2…素子間分離酸化膜、3…ゲート酸化膜、4…ワード線、5, 7, 16…層間絶縁膜、6…第 2 導電型不純物拡散層、8…ビット線、9…平坦化用絶縁膜、10…ポリッシング・ストップ、11…ストレージ・ノード、12…バリアメタル、13, 43…下部電極、14, 44…高誘電率薄膜、15…上部電極、21…平坦化用絶縁膜、22…平坦化用導電膜。

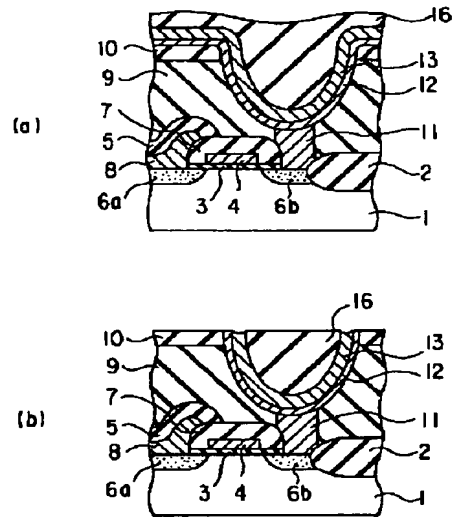
【図 1】



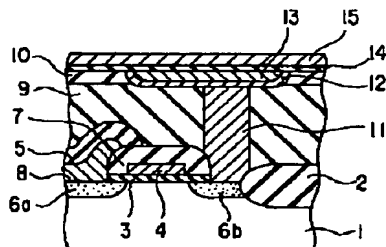
【図 2】



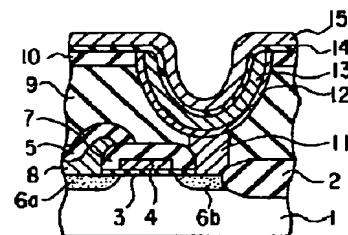
【図 3】



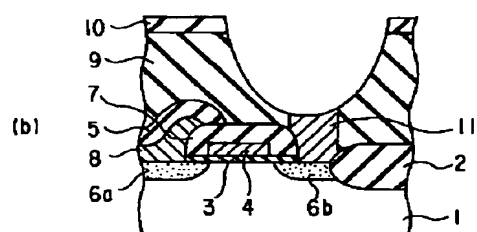
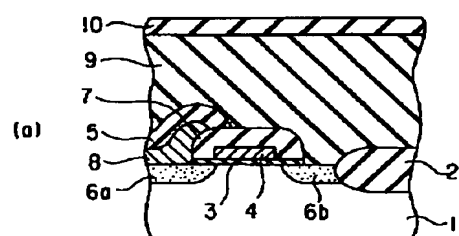
【図 6】



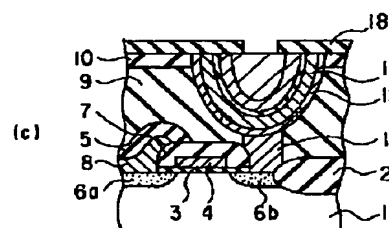
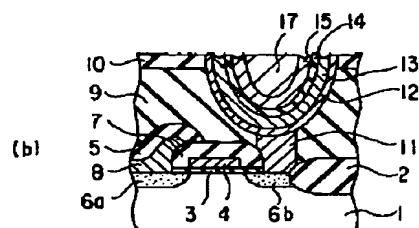
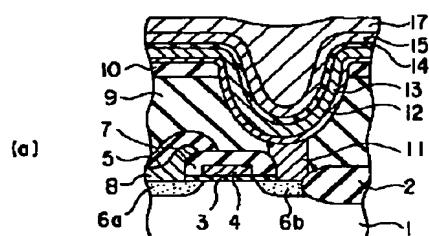
【図 11】



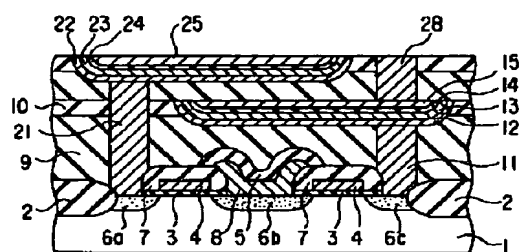
【図4】



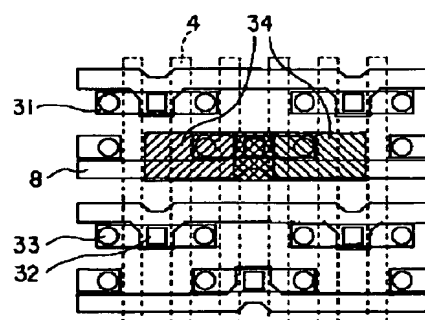
【図5】



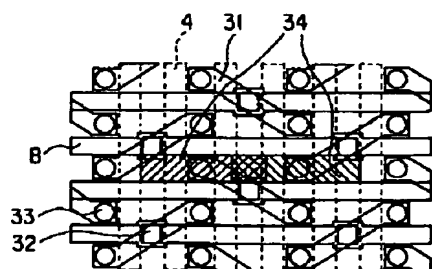
【図7】



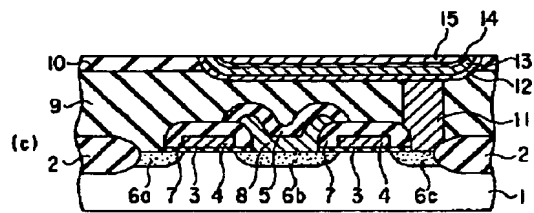
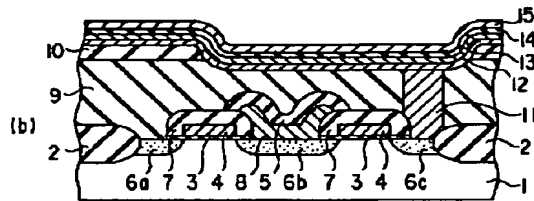
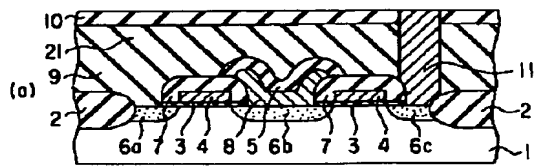
【図10】



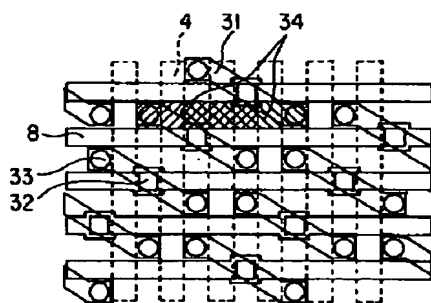
【図11】



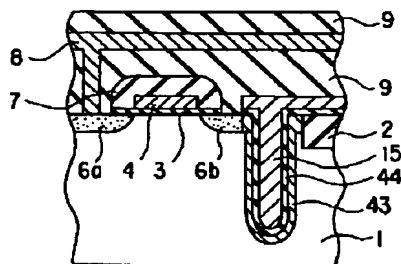
【図8】



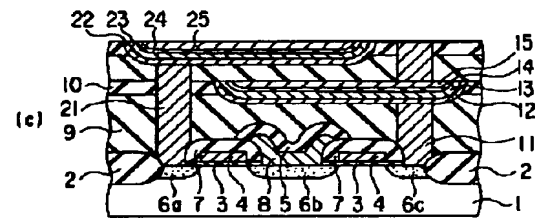
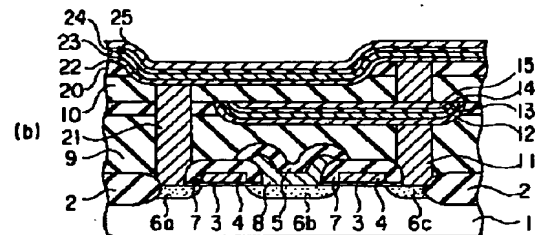
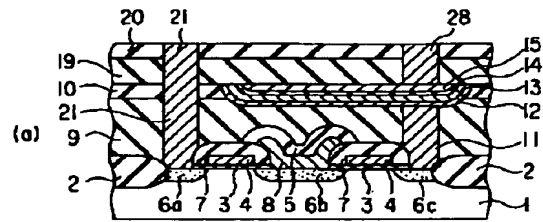
【図12】



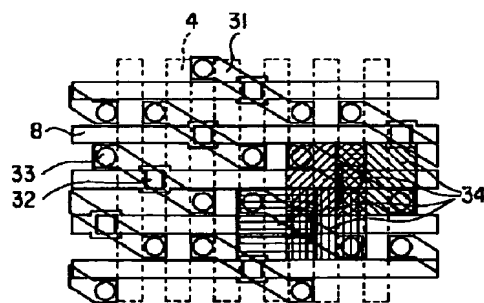
【図14】



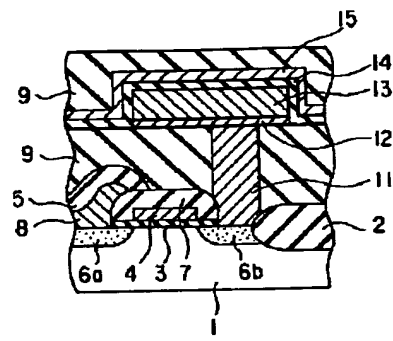
【図9】



【図13】



【図 1 5】



フロントページの続き

(51) Int. Cl. 6
H 0 1 L 27/04
21/822
29/41

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H 0 1 L 27/10
29/44

6 2 1 Z
Z

(72) 発明者 阿部 和秀
神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町工場内